

WEST

☐ Generate Collection

Mar 16, 1992

L8: Entry 1 of 2

File: JPAB

PUB-NO: JP404082268A
DOCUMENT-IDENTIFIER: JP 04082268 A
TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: March 16, 1992

INVENTOR-INFORMATION:

COUNTRY

NAME
YOSHITAKE, NOBUYUKI
TERADO, IKUO
HATA, IKUO

ASSIGNEE-INFORMATION:

COUNTRY

NAME
SONY CORP

APPL-NO: JP02196801
APPL-DATE: July 25, 1990

INT-CL (IPC): H01L 27/14

ABSTRACT:

PURPOSE: To enhance the sensitivity of a photodiode and to be able to coexist with other semiconductor elements whose performance is high and whose integration density is high by a method wherein a semiconductor region whose concentration is lower than that of an epitaxial layer or a semiconductor substrate is formed under the epitaxial layer constituting the photodiode.

CONSTITUTION: An n-type epitaxial layer 22 is grown on a p-type silicon substrate 21; a p-type element isolation layer 23 is formed; and an element formation region 24 for bipolar transistor use and an element formation region 25 for photodiode use are formed. In the region 24, an n-type collector buried layer 26 is formed; the layer 22 is used as a collector region 27; and a p-type base region 28, an n-type emitter region 29 and a collector extraction region 30 are formed. Thereby, an npn transistor 31 is formed. On the other hand, in the region 25, an n-type region 33 whose concentration is lower than that of the layer 22 is formed in the substrate 21 under the layer 22. Thereby, a photodiode 35 is formed. Thereby, it is possible to obtain a device in which the transistor 31 whose performance is high and whose integration density is high coexists with other elements and the photodiode 35 whose sensitivity is high and whose response speed is high.

COPYRIGHT: (C) 1992, JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-82268

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)3月16日

H 01 L 27/14

8122-4M H 01 L 27/14

審査請求 未請求 請求項の数 2 (全9頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平2-196801

⑰ 出 願 平2(1990)7月25日

⑱ 発 明 者	吉 武	伸 之	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑱ 発 明 者	寺 戸	郁 夫	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑱ 発 明 者	秦	郁 郎	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑲ 出 願 人	ソニー株式会社			東京都品川区北品川6丁目7番35号
⑳ 代 理 人	弁理士 松隈 秀盛			

明 細 書

発明の名称 半導体装置

特許請求の範囲

1. 第1導電形の半導体基板と第2導電形のエピタキシャル層で構成されるホトダイオードを有する半導体装置において、
上記ホトダイオードを構成する上記エピタキシャル層下に、該エピタキシャル層又は上記半導体基板より低濃度の半導体領域が形成されて成る半導体装置。
2. 第1導電形の半導体基板と第2導電形のエピタキシャル層で構成されるホトダイオードを有する半導体装置において、
上記ホトダイオードを構成する上記エピタキシャル層下に、上記半導体基板より高濃度の第1導電形の半導体領域が形成されて成る半導体装置。

発明の詳細な説明

(産業上の利用分野)

本発明は、ホトダイオードを有する半導体装置

に関する。

(発明の概要)

本発明は、第1導電形の半導体基板と第2導電形のエピタキシャル層で構成されるホトダイオードを有する半導体装置において、ホトダイオードを構成するエピタキシャル層下にエピタキシャル層又は半導体基板より低濃度の半導体領域を形成することにより、ホトダイオードの感度向上を図り、高性能、高集積度を有する他の半導体素子との共存を可能にしたものである。

また、本発明は、第1導電形の半導体基板と第2導電形のエピタキシャル層で構成されるホトダイオードを有する半導体装置において、ホトダイオードを構成するエピタキシャル層下に、半導体基板より高濃度の第1導電形の半導体領域を形成することにより、ホトダイオードの高速化及び充分な高感度化を図り、高性能、高集積度の他の半導体素子との共存を可能にしたものである。

〔従来の技術〕

近時、ホットダイオードとトランジスタ、抵抗等の他の素子とを1チップ上に集積化する研究が進められている。このような半導体装置は、例えばコンパクトディスク装置、ビデオディスク装置におけるホットダイオード内蔵の信号処理ICに使用することができる。

従来から提案されているホットダイオードとトランジスタを混載した半導体装置としては、例えば第10図又は第11図に示すように構成される。

第10図では、p形の半導体基板(1)上にトランジスタのn形コレクタ埋込み層(2)を介してn形のエピタキシャル層(3)を形成し、さらにp形の素子分離領域(4)を形成して夫々素子形成領域(5)及び(6)を形成する。そしてn形コレクタ埋込み層(2)を有する素子形成領域(5)にn形エピタキシャル層をコレクタ領域(7)としてp形ベース領域(8)、n形エミッタ領域(9)、n形コレクタ取出し領域(10)を形成してnpnトランジスタ(11)を形成し、他の素子形成領域(6)にn形の電極取出し領域(13)を形成し

形半導体基板(1)及びp形素子分離領域(4)とn形エピタキシャル層(3)との間でpn接合jを形成して成るホットダイオード(14)を形成して構成される。(t₁)(t₂)はホットダイオード(14)の導出端子、斜線で示す領域(15)はホットダイオード(14)での空乏層である。また、(E)、(B)、(C)はnpnトランジスタのエミッタ、ベース及びコレクタの各導出端子である。

第11図では、p形の半導体基板(1)上にトランジスタのn形コレクタ埋込み層(2)及びホットダイオードのn形埋込み層(16)を介してn形のエピタキシャル層(3)を形成し、p形の素子分離領域(4)を形成して夫々素子形成領域(5)及び(6)を形成する。そして、n形コレクタ埋込み層(2)を有する素子形成領域(5)に第10図と同様にしてnpnトランジスタ(11)を形成すると共に、n形埋込み層(16)を有する素子形成領域(6)にp形半導体領域(17)及びn形電極取出し領域(13)を形成し、p形半導体領域(17)とn形エピタキシャル層(3)との間でpn接合jを形成して成るホットダイオード(18)を形成して

構成される。

〔発明が解決しようとする課題〕

ホットダイオード特性として重要なものは、感度(光電変換効率)と応答速度であり、応答速度の決定要因は、

- (1) 空乏層容量に起因するCR時定数、
- (2) 空乏層外で発生した光キャリアの拡散時定数、
- (3) 空乏層内に発生した光キャリアのドリフト時定数、

であり、主に(1)、(2)項が支配的である。

ところで、上述した第10図に示す従来構造のホットダイオード(14)は、p形半導体基板(1)及びn形エピタキシャル層(3)共に不純物濃度が低いので、深さ方向のいたる所で発生したキャリアも再結合せず拡散電流として感度に寄与し、このため感度は高いが応答速度が遅いという問題がある。逆に第11図に示すホットダイオード(18)はn形埋込み層(16)により拡散電流成分の寄与が小さく、応答速度は速いが感度が低いという問題がある。

表1に第10図及び第11図に示すホットダイオード(14)及び(18)の感度と、応答速度 $f_r = \frac{1}{2\pi\tau}$ に
 関係する断続周波数 f_r を示す。

表 1

	第11図のホットダイオード(18)	第10図のホットダイオード(14)
感度 ($\lambda = 780 \text{ nm}$)	0.1~0.2 A/W	0.4~0.5 A/W
f_r ($\lambda = 845 \text{ nm}$ $R_L = 330 \Omega$)	20~25 MHz	1~2 MHz

ホットダイオードの感度を高める方法としては、エピタキシャル層(3)の厚さを増加し、エピタキシャル層(3)の濃度を減少して空乏層(15)の幅Wを広げようとするのが考えられる。

しかし、第10図及び第11図は共に、エピタキシャル層(3)の厚さを増加し、エピタキシャル層(3)の濃度を減少すると、npnトランジスタ(11)の断続周波数 f_r が減少し(これは高速性が悪化する)、 $V_{ce(sat)}$ が増加する(これは性能が悪化する)

等、トランジスタ特性が劣化するという不都合が生ずる。また、エピタキシャル層(3)の濃度を減少すると、寄生 pnp トランジスタの電流増加率 h_{FE} の増加をきたすために、 $n-p-n$ トランジスタの特性を維持するにはベース領域(8)及び素子分離領域(4)間の間隔を大きくしなければならず、トランジスタ素子のサイズが大きくなり、集積度が低下する。

なお、第10図のホットダイオードの構造において、イントリンジックゲッタリング処理により p 形半導体基板(1)内部に積極的に欠陥層を設けて拡散電流成分を少なくして高速化を図る方法も知られている。

この様に、従来構造では、高感度及び／又は高応答速度のホットダイオードと、高速、高性能のバイポーラトランジスタを共存させることは難しい。

本発明は、上述の点に鑑み、高感度及び／又は高応答速度のホットダイオードと、高速、高性能のバイポーラトランジスタ等、他の素子との共存を可能にした半導体装置を提供するものである。

(33) (又は(45))を形成することにより、空乏層幅が従来より広くなり、感度を向上することができ。しかも、エピタキシャル層(22)の濃度は、トランジスタの特性を考慮して設定することができるので、高性能、高集積度のトランジスタと高感度のホットダイオードを共存させることができる。

第2の発明においては、ホットダイオードを構成するエピタキシャル層(22)下に半導体基板(21)より高濃度の第1導電形の半導体領域(51)を形成することにより、空乏層以外のところ即ち半導体基板(21)の深くで発生するキャリアは高濃度の半導体領域(51)で再結合されるために該キャリアによる拡散電流成分が少なくなり、同時にホットダイオードを構成する一方の第1導電形領域の取出し抵抗が下がり、応答速度を速くすることができる。また、第11図の従来構造に比べて半導体領域(51)とエピタキシャル層(22)で形成される $p-n$ 接合の濃度勾配がゆるやかになるので、空乏層幅が広がる。特にホットダイオードと高速トランジスタを共存させる場合、エピタキシャル層が薄いので光

(課題を解決するための手段)

本発明は、第1図、第5図及び第6図に示すように、第1導電形の半導体基板(21)と第2導電形のエピタキシャル層(22)で構成されるホットダイオードを有する半導体装置において、ホットダイオードを構成するエピタキシャル層(22)下に、エピタキシャル層(22)又は半導体基板(21)より低濃度の半導体領域(33) (又は(45))を形成して構成する。

また、本発明は、第7図、第8図及び第9図に示すように、第1導電形の半導体基板(21)と第2導電形のエピタキシャル層(22)で構成されるホットダイオードを有する半導体装置において、ホットダイオードを構成するエピタキシャル層(22)下に、半導体基板(21)より高濃度の第1導電形の半導体領域(51)を形成して構成する。

(作用)

第1の発明においては、ホットダイオードを構成するエピタキシャル層(22)下にエピタキシャル層(22)又は半導体基板(21)より低濃度の半導体領域

のほとんどは半導体基板側で吸収され、従ってこれがために、本構造の方が関与するキャリアが多くなり高感度化しやすくなる。そして、エピタキシャル層(22)はトランジスタ特性を考慮して設定することができるので、高性能、高集積度のトランジスタと高応答速度、高感度のホットダイオードを共存させることができる。

(実施例)

以下、図面を参照して本発明による半導体装置の実施例を説明する。

第1図は本発明の一例を示す。本例においては、 p 形のシリコン基板(21)上に n 形のエピタキシャル層(22)を成長し、 p 形の素子分離層(23)を形成してバイポーラトランジスタ用の第1の素子形成領域(24)とホットダイオード用の第2の素子形成領域(25)を形成する。第1の素子形成領域(24)には n 形コレクタ埋込み層(26)を有し、 n 形エピタキシャル層(22)をコレクタ領域(27)として、 p 形ベース領域(28)、 n 形エミッタ領域(29)及びコレク

タ取出し領域(30)を形成してn p nトランジスタ(31)を形成する。一方、第2の素子形成領域(25)には、エピタキシャル層(22)下のp形基板(21)にエピタキシャル層(22)より低濃度のn形領域(33)を形成し、即ち、より詳しくは第2図の濃度プロファイル(a₁)で示すn形エピタキシャル層(22)-n⁺領域(33₁)-p⁺領域(33₂)-p形半導体基板(21)からなる構造を有するホットダイオード(35)を形成する。第2図の(b)はn形不純物のドーピングプロファイルを示す。(34)はn形の電極取出し領域、(32)はSiO₂層の絶縁膜である。このようにしてn p nトランジスタ(31)とホットダイオード(35)が共存する半導体装置(36)を構成する。

尚、第3図は比較のために示した前述の第10図のホットダイオードの濃度プロファイルである。

第4図はかかる半導体装置(36)の製法の一例を示す。先ず第4図Aに示すように、p形シリコン基板(21)のホットダイオードを形成すべき領域にホトレジストマスク(40)を介してn形不純物(41)をイオン注入により低濃度導入する。例えばリン

を $5 \times 10^{12} \text{cm}^{-2}$ のドーズ量で打込む。(33a)はイオン注入領域を示す。

次に、第4図Bに示すように、高温長時間の熱処理(例えば1200℃、400分の熱処理)を施して、例えば $1 \times 10^{13} \text{cm}^{-2}$ 程度の濃度を有し、厚さ $3.5 \mu\text{m}$ 程度の低濃度n形半導体領域(33)を形成する。(42)はSiO₂等の絶縁膜である。

次に、第4図Cに示すように、n p nトランジスタを形成すべき領域に開口(43)を形成した後、開口(43)を通してn形不純物例えばアンチモン(Sb)をドーブしてn形コレクタ埋込み層(26)を形成する。

次に、第4図Dに示すように基板(21)上にn形エピタキシャル層(22)を形成する。エピタキシャル層(22)の濃度は例えば $5 \times 10^{13} \text{cm}^{-2}$ 程度である。その後、エピタキシャル層(22)上面よりp形基板(21)に達するp形の素子分離層(23)を形成し、第1の素子形成領域(24)及び第2の素子形成領域(25)を形成する。

以後は、通常の工程によって、第1の素子形成

領域(24)にp形のベース領域(28)、n形エミッタ領域(29)及びコレクタ取出し領域(30)を形成してn p nトランジスタ(31)を形成する。また、第2の素子形成領域(25)にn形電極取出し領域(34)を形成し、n形エピタキシャル層(22)及び低濃度n形半導体領域(33)とp形基板(21)で形成されるp n接合jを有するホットダイオード(35)を形成して第4図Eに示す目的の半導体装置(36)を得る。

尚、低濃度n形半導体領域(33)を形成するための不純物のドーピング方法としてはイオン注入の他、ブレードジョット、不純物ドーブドガラス、固体ソース等を用いる方法でも可能である。また上例では、低濃度n形半導体領域(33)をエピタキシャル層(22)及びトランジスタのコレクタ埋込み層(26)の形成前に形成したが、その他、エピタキシャル層(22)を形成したのち高エネルギーのイオン注入で低濃度のn形半導体領域(33)を形成することも可能であり、或はn形コレクタ埋込み層(26)と低濃度n形半導体領域(33)の不純物ドーブを選択的に行ったのち、熱拡散処理を同時にして低濃

度n形半導体領域(33)を形成することも可能である。但し、濃度プロファイルの制御性の点からは第4図の方法が最もよい。

上述の構成によれば、ホットダイオード(35)においてはn形エピタキシャル層(22)下のp形基板(21)にエピタキシャル層(22)より低濃度のn形半導体領域(33)が形成されるので、空乏層幅を第10図の従来構造に比して広くすることができ、より高感度を達成することができる。そして、この低濃度のn形半導体領域(33)を有するので、n形エピタキシャル層(22)の濃度は従来と同じに設定することができ、n p nトランジスタの特性及びその集積度を維持することができる。従って、n p nトランジスタの高性能、高集積度を変えることなく、該n p nトランジスタと高感度のホットダイオードを共存する半導体装置が得られる。

第1図の実施例では低濃度n形半導体領域(33)を設けたが、その他、第5図に示すように低濃度n形半導体領域(33)に代えてp形基板(21)より低濃度のp形半導体領域(45)とすることもでき、こ

のホットダイオード(46)においても高感度化を図ることができる。

また第6図に示すように、 n 形エピタキシャル層(22)に p 形領域(48)を形成したホットダイオード(49)においても、エピタキシャル層(22)下に低濃度の n 形半導体領域(33)又は低濃度の p 形半導体領域(45)を形成して高感度化を図ることができる。なお、ホットダイオード(49)のエピタキシャル層(22)からの導出端子 t_1 は n 形の電極取出し領域(34)を介して導出される。

第7図は本発明の他の例を示す。なお、第1図と対応する部分には同一符号を付して重複説明を省略する。本例は、第2の素子形成領域(25)において n 形エピタキシャル層(22)下の p 形基板(21)側に該基板(21)よりも高濃度の p 形埋込み層(p 埋込み層又は p^+ 埋込み層)(51)を形成し、さらにエピタキシャル層(22)表面に p 形埋込み層(51)と対向するように n 形領域(n^+ 領域または n 領域)(52)を形成してホットダイオード(53)を形成する。第1の素子形成領域(24)には第1図と同様に

n 形コレクタ埋込み層(26)、 n 形エピタキシャル層によるコレクタ領域(27)、 p 形ベース領域(28)及び n 形エミッタ領域(29)を有する $n p n$ トランジスタ(31)を形成する。製法としては、例えば p 形シリコン基板(21)に n 形コレクタ埋込み層(26)の形成前、又は形成後に p 形不純物(例えばボロン)のイオン注入又は不純物ドーパドガラス(例えばBSG)により p 形埋込み層(51)を形成する。しかる後、 n 形エピタキシャル層(22)を形成し、 p 形素子分離層(23)を形成し、第1の素子形成領域(24)に $n p n$ トランジスタ(31)を形成し、第2の素子形成領域(25)のエピタキシャル層表面に $n p n$ トランジスタのエミッタ領域(29)と同時に n 形領域(52)を形成する。この様にして、 $n p n$ トランジスタ(31)とホットダイオード(53)が共存する半導体装置(54)を構成する。

この第7図の実施例によれば、ホットダイオード(53)において濃度の高い p 形埋込み層(51)を設けることにより、空乏層外で発生するキャリアによる拡散電流成分がキャリアの p 形埋込み層(51)で

の再結合により少なくなり、また同時に p 形埋込み層(51)によりホットダイオードを構成する p 形領域の取出し抵抗が下がり、応答速度の高速化が達成される。この構成では前述の第10図に比べて感度は落ちるが、しかし p 形埋込み層(51)の濃度をコントロールすれば感度低下は抑えられ、第10図に比べて応答速度の速いホットダイオードが得られる。また、エピタキシャル層(22)の表面に p 形埋込み層(51)に対向するように n 形領域(52)を設けることにより、エピタキシャル層(22)での空乏層外での拡散電流成分が少なくなると共に、ホットダイオードを構成する n 形領域の取出し抵抗も下がり、更に応答速度が速くなる。但し、光はシリコン中深くまで入射されるので(通常 $10 \mu m$ 程度)、 p 形基板(21)中で発生するキャリアによる拡散電流が大きく、従って n 形領域(52)での効果より p 形埋込み層(51)での効果の方が高い。前述の第11図は従来構成も同様に拡散キャリアを少なくする構造であるが、 $p n$ 接合の濃度勾配が急峻であり、之に対し、本実施例(第7図)の方が $p n$ 接合の

濃度勾配を小さくできるので空乏層幅が広く感度を高くできる。特に高速 $n p n$ トランジスタ等と共存させる場合、エピタキシャル層(22)が薄いため、光のほとんどは p 形基板(21)側で吸収されるので本構成の方が関与するキャリアが多く高感度化しやすい。 $n p n$ トランジスタ(31)に関しては第1図と同様にエピタキシャル層(22)の濃度をトランジスタ特性を考慮して設定できるので高性能、高集積化ができる。

第8図及び第9図は他の変形例を示すものである。第8図ではホットダイオード(57)において、 n 形領域(52)下にさらに該領域(52)より低濃度でエピタキシャル層(22)より高濃度の n 形領域(55)を形成して構成する。この構成ではエピタキシャル層(22)が残らないように空乏層が広がり、空乏層外での拡散電流成分が少なくなるので、さらに応答速度が速くなる。また第9図はエピタキシャル層(22)下に濃度の高い p 形埋込み層(51)を形成し、エピタキシャル層(22)に n 形電極取出し領域(34)を形成してホットダイオード(58)を構成する。この

構成においてもp形基板(21)深くで発生するキャリアによる拡散電流成分が少なくなり応答速度を速くすることができる。

そして、上述の第7図～第9図はイントリンジックゲッタ処理法に比べ製造工程上、制御しやすいものである。

表2に本実施例と従来例との感度及び遮断周波数 f_T の比較を示す。

表 2

	従 来		本 発 明	
	第11図のホットダイオード	第10図のホットダイオード	第9図のホットダイオード	第7図のホットダイオード
感度 ($\lambda=780\text{ nm}$)	0.1~0.2 A/W	0.4~0.5 A/W	0.2 A/W	0.2 A/W
f_T ($\lambda=845\text{ nm}$ $R_L=330\ \Omega$)	20~25 MHz	1~2 MHz	30~35 MHz	40~43 MHz

表2の例ではp形埋込み層(51)の濃度はピーク濃度 $5 \times 10^{18}\text{ cm}^{-3}$ 程度としている。

表2で明らかなように、本例のホットダイオードでは第11図の従来の構造並の感度で高い f_T が得

実現できる。

尚、上例ではp形基板を用いてnpnトランジスタとホットダイオードを共存させたが、n形基板を用いてpnpトランジスタとホットダイオードを共存させる場合にも適用でき、その場合には各半導体領域の導電形を逆にすれば良い。

(発明の効果)

本発明によれば、他の半導体素子の形成条件を全く変えることなく、高感度、或は高応答速度で十分な感度を有するホットダイオードを形成できる。従って、高性能、高集積度のトランジスタ、その他の素子と、高感度、高応答速度のホットダイオードとを共存させた半導体装置を提供することができる。例えばコンパクトディスク装置、ビデオディスク装置等のホットダイオード内蔵の信号処理IC等に適用して好適ならしめるものである。

図面の簡単な説明

第1図は本発明による半導体装置の一例を示す構成図、第2図はそのホットダイオードの濃度プロ

ファイル図、第3図は従来のホットダイオードの濃度プロファイル図、第4図A～Eは第1図の半導体装置の製造工程図、第5図及び第6図は本発明の他の例を示す構成図、第7図～第9図は夫々本発明のさらに他の例を示す構成図、第10図及び第11図は従来の半導体装置の例を示す構成図である。

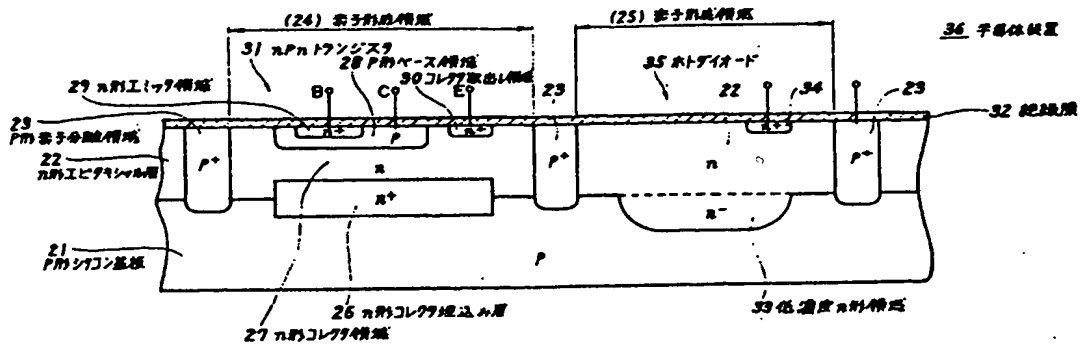
(21)はp形シリコン基板、(22)はn形エピタキシャル層、(23)は素子分離領域、(31)はnpnトランジスタ、(33)(45)は低濃度の半導体領域、(51)は高濃度の半導体領域である。

このように第7図～第9図の構成においても従来構造に比べて高速、且つ充分高感度のホットダイオードを形成することができる。そして、他の素子の性能、集積度、プロセス条件を変えずに高性能なホットダイオードを実現することができる。また第7図及び第8図の構成の製造工程では、n形領域(52)をnpnトランジスタのエミッタ領域(29)と同時に形成し、p形埋込み層(51)の形成工程のみ追加するだけで済む。又p形基板(21)と分離したn形領域に縦型pnpトランジスタを形成する場合と共存させるときにはp形埋込み層(51)を縦型pnpトランジスタのコレクタ領域と同時に形成することが可能なので、このときには工程増はない。従って、工程増を少なくして容易に

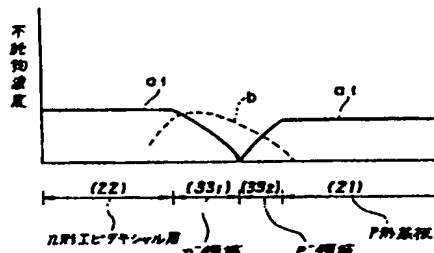
ファイル図、第3図は従来のホットダイオードの濃度プロファイル図、第4図A～Eは第1図の半導体装置の製造工程図、第5図及び第6図は本発明の他の例を示す構成図、第7図～第9図は夫々本発明のさらに他の例を示す構成図、第10図及び第11図は従来の半導体装置の例を示す構成図である。

(21)はp形シリコン基板、(22)はn形エピタキシャル層、(23)は素子分離領域、(31)はnpnトランジスタ、(33)(45)は低濃度の半導体領域、(51)は高濃度の半導体領域である。

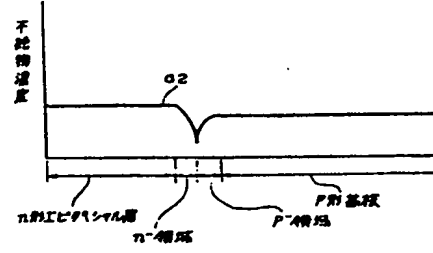
代 理 人 松 隈 秀 盛



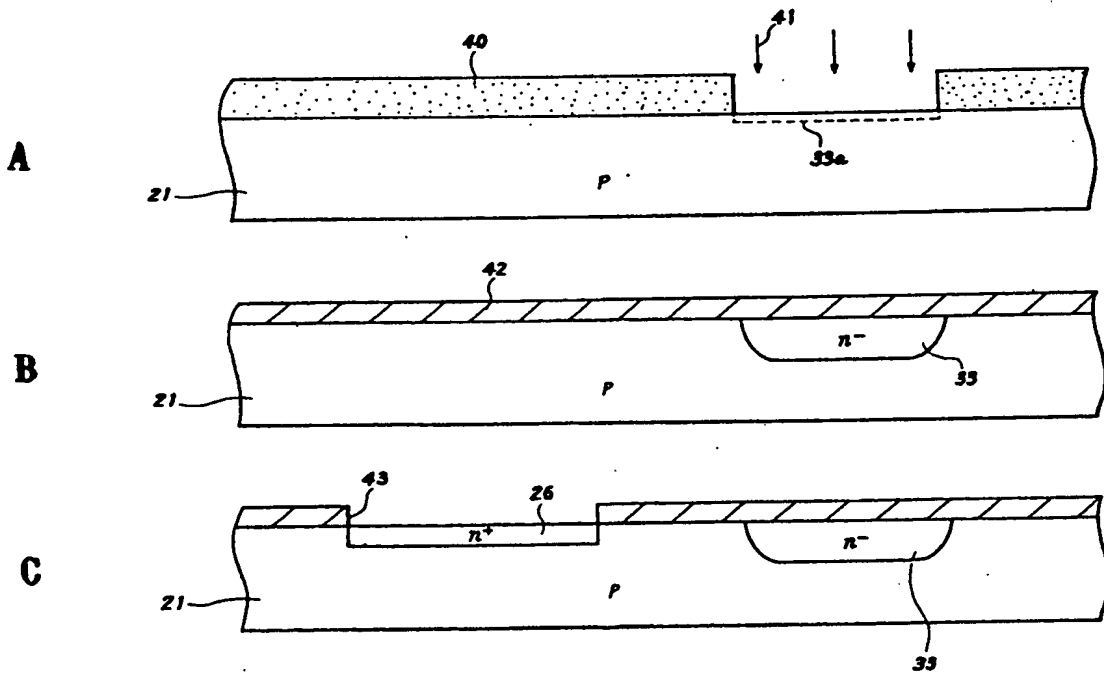
第1実施例の構成図
第1図



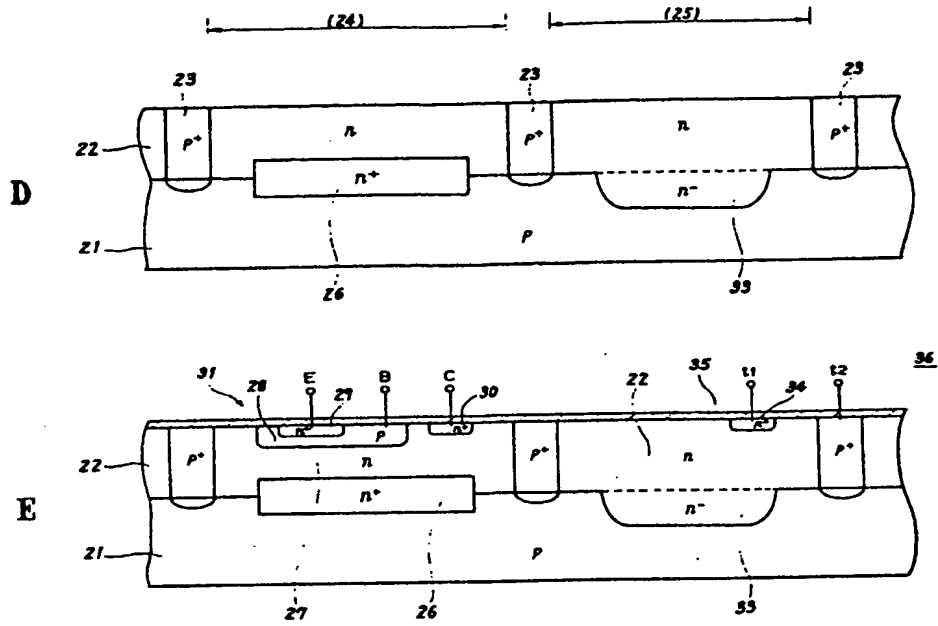
第1実施例のホットダイオードの濃度プロファイル図
第2図



従来のホットダイオードの濃度プロファイル図
第3図

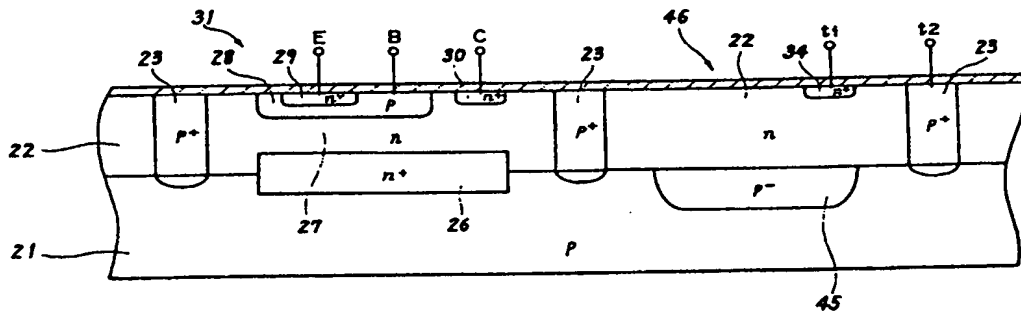


第1実施例の製造工程図
第4図 (その1)



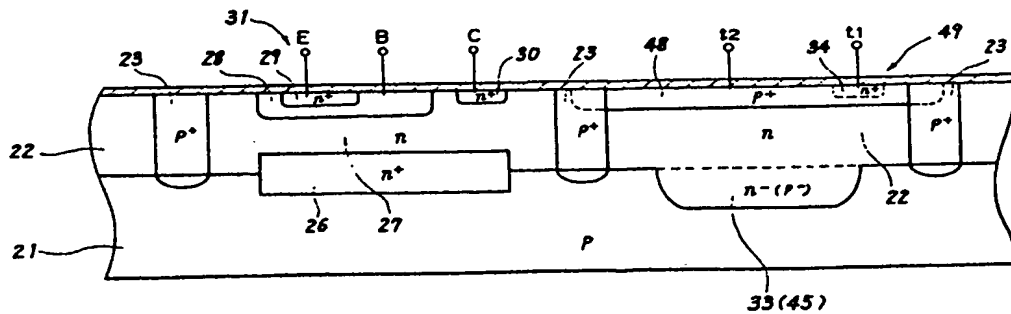
第1実施例の製造工程図

第4図 (Xの2)



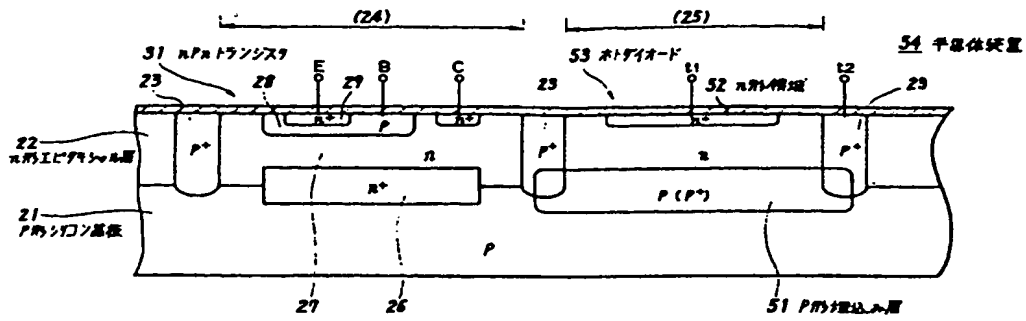
第2実施例の構成図

第5図

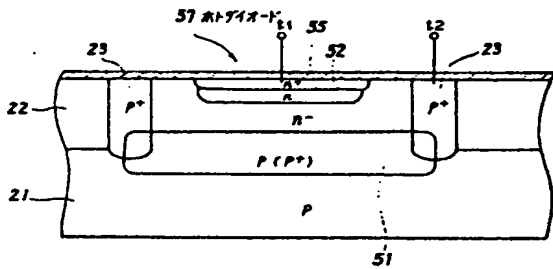


第3実施例の構成図

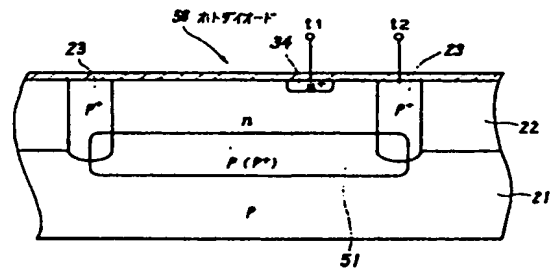
第8図



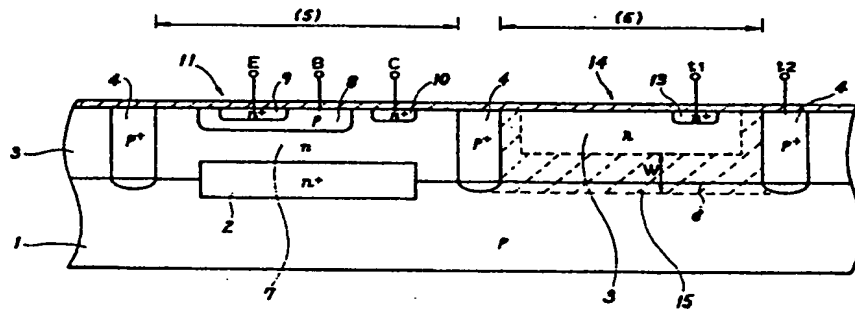
第4実施例の構成図
第7図



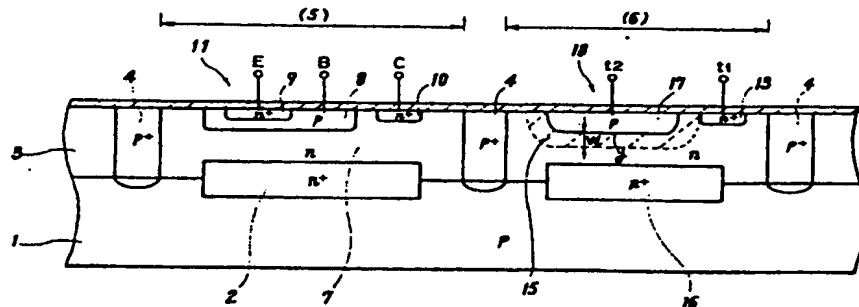
第5実施例の構成図
第8図



第6実施例の構成図
第9図



従来例の構成図
第10図



従来例の構成図
第11図